

PATENT
8038-1049

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Hiroshi YAMAMOTO
Conf.:
Appl. No.: NEW NON-PROVISIONAL
Group:
Filed: November 6, 2003
Examiner:
Title: SEMICONDUCTOR CIRCUIT HAVING REPEATERS
IN A SIGNAL TRANSMISSION LINE

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 6, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-322546	November 6, 2002

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/ia

Attachment(s): 1 Certified Copy(ies)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月6日
Date of Application:

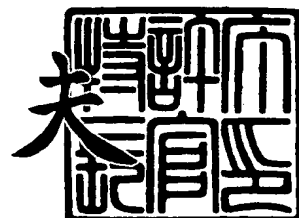
出願番号 特願2002-322546
Application Number:
[ST. 10/C]: [JP2002-322546]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年7月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 74510262

【提出日】 平成14年11月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明の名称】 半導体装置

【請求項の数】 5

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 山本 寛

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100096231

【弁理士】

【氏名又は名称】 稲垣 清

【電話番号】 03-5295-0851

【手数料の表示】

【予納台帳番号】 029388

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9303567

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 信号を伝達する信号配線中に挿入されるリピータを有する半導体装置において、

前記リピータは、信号伝達方向に順次に接続される、入力信号の反転信号を出力する第 1 の論理回路及び第 2 の論理回路で構成され、

前記第 1 の論理回路の電流駆動能力が、前記第 2 の論理回路の電流駆動能力より大きいことを特徴とする半導体装置。

【請求項 2】 信号を伝達する信号配線中に挿入されるリピータを複数有する半導体装置において、

前記リピータは、信号伝達方向に順次に接続される、入力信号の反転信号を出力する第 1 の論理回路及び第 2 の論理回路で構成され、

前記第 1 の論理回路の電流駆動能力が、前記第 2 の論理回路の電流駆動能力より大きいことを特徴とする半導体装置。

【請求項 3】 隣接する 2 つのリピータ間を接続する配線の配線長が、1 つのリピータを構成する第 1 及び第 2 の論理回路間の配線長よりも長いことを特徴とする、請求項 2 に記載の半導体装置。

【請求項 4】 前記リピータの出力端子が、分岐した信号配線を介して、当該リピータの後段に配置される複数のリピータの入力端子に接続されることを特徴とする、請求項 2 又は 3 に記載の半導体装置。

【請求項 5】 前記信号配線が、クロック信号配線として構成されることを特徴とする、請求項 1 から 4 の何れかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、更に詳しくは、信号配線中にリピータが挿入される半導体装置に関する。

【0002】

【従来の技術】

システム L S I 等の半導体集積回路 (L S I) の設計では、L S I の領域を複数の機能ブロックに分割してブロック内の回路構成を設計し、各ブロック間を配線で接続して全体の回路構成を得る手法が採られている。一般に、L S I の設計では、設計された L S I の動作が、回路シミュレータを用いて検証される。このとき、回路シミュレータでは、配線の信号遅延時間がシミュレートされる。

【0003】

回路シミュレータによるシミュレーションの結果、ある配線の信号遅延時間が所望の時間以内に収まらない場合には、信号遅延時間を短縮するために、その配線中に、入力信号と同相の信号を出力する、或いは、入力信号の反転信号を出力するリピータを挿入する手法が採られる。例えば、C M O S 回路では、入力信号と同相の信号を出力する、インバータを信号伝達方向に 2 つ直列に接続したバッファが、一般的なりピータの一つである。信号遅延時間は、配線抵抗と配線容量の積に比例して増大し、配線長の 2 次関数となる。このため、所望の配線中に、例えば所定間隔でリピータを挿入し、リピータ間の配線長を短くすることで、信号遅延時間を短縮することができる。

【0004】

図 7 は、配線長と信号遅延時間との関係をグラフとして示している。同図中のグラフ (a) はリピータを挿入しない場合の遅延時間を、グラフ (b) は 10 m m の配線中に等間隔でリピータを 1 つ挿入した場合の遅延時間を、グラフ (c) は 10 m m の配線中に等間隔でリピータを 2 つ挿入した場合の遅延時間をそれぞれ示している。

【0005】

一般に、配線中にリピータを挿入した場合の配線全体の遅延時間は、分割された配線による遅延時間の和と、リピータ自身が有する遅延時間の和とを合計した時間となる。リピータ自身が有する遅延時間は、信号の立ち上がり時間又は立ち下がり時間が増大して信号波形の勾配が減少する入力信号波形のなまり (鈍り) と、リピータ全体の電流駆動能力と、リピータ間の配線長及び次の段のリピータの入力容量とに依存する。入力信号波形のなまりは、リピータ間の配線長、自身

の入力容量、及び、前の段のリピータの電流駆動能力の関数となる。

【0006】

図7に示すように、グラフ(a)では配線長の2乗に比例して遅延時間が増大している。ここで、グラフ(b)のように、10mmの配線のリピータによって5mmの配線部分に2分割すると、2つの5mmの配線部分による遅延時間の和は、10mmの配線による遅延時間よりも大幅に短くなる。このとき、リピータ自身の遅延時間が存在するため、リピータの挿入位置で遅延時間が増加している。全体の遅延時間は、5mmの配線部分による遅延の和と、リピータ自身の遅延時間との合計になる。

【0007】

グラフ(a)と(b)とを比較すると、配線長10mmの配線では、配線を分割したことによる遅延時間の減少分が、リピータを1段挿入したことによるリピータ自身の遅延時間の増加分よりも大きい。この例では、10mmの配線中にリピータを1段挿入することで、配線全体の遅延時間が Δt_{pd} だけ改善されることが判る。

【0008】

ここで、リピータの挿入段数を増やし、グラフ(c)に示すように、配線長10mmの配線中に等間隔でリピータを2段挿入する。この場合、リピータを挿入しないグラフ(a)と比較すると全体の遅延時間は短縮されるが、リピータを1段挿入するグラフ(b)と比較すると、全体の遅延時間が増加する。これは、挿入段数を増やしたことによるリピータ自身の遅延時間の和の増加が、配線長を短くしたことによる配線の遅延時間の減少分よりも大きくなるためである。このように、リピータの挿入に際しては、配線中に挿入するリピータの段数(間隔)などを適切に設定することが重要となる。

【0009】

配線中に挿入する、2つのインバータを直列に接続したバッファ(リピータ)の数やバッファの分岐数などを最適化する技術として、特開2001-290854号公報には、所定の計算式に基づいて配線中に挿入するバッファ数やバッファの分岐数を選定する技術が記載されている。該公報に記載の技術では、配線中

に所定間隔で挿入したバッファによる遅延時間を、以下の式(1)に示すように求め、挿入するバッファの段数 N_{bf} 、及び、最小サイズのインバータに対するバッファの出力側インバータの拡大率 h_{bf-out} の最適な値を求める。

【数1】

$$t_{d-bf} = (a \cdot b_r \cdot R_{out0} \cdot C_{int} \cdot l_{int}) / h_{bf-out} \\ + (d/m \cdot R_{int} \cdot l_{int} \cdot C_{in0}) \times h_{bf-out} \\ + [b \cdot \{m + (b_r/m) + 2 \cdot (C_{ds0}/C_{in0})\} \cdot R_{out0} \cdot C_{in0}] \times N_{bf} \\ + (C \cdot R_{int} \cdot C_{int} \cdot l_{int}^2) / N_{bf}$$

式(1)

ただし、 a, b, c, d は遅延係数、 R_{out0} は最小サイズのインバータ（チャネル定数 $W/L=1$ ）の出力抵抗、 C_{in0} は最小サイズインバータのゲート入力容量、 C_{ds0} は最小サイズのインバータのドレイン基板間容量、 R_{int} は単位長さ当りの配線抵抗、 C_{int} は単位長さ当りの配線容量、 b_r は分岐数（ファンアウト数）、 m は各段のバッファにおける出力側インバータの駆動能力と入力側インバータの駆動能力との比、及び、 l_{int} は対象となる2点間の配線の長さである。

【0010】

ところで、従来、半導体集積回路の信号伝播経路にインバータ又はバッファを連続的に挿入する場合には、後段のインバータの、チャネル定数 W/L などによって定まる駆動能力を、前段のインバータの駆動能力よりも大きくしていた。例えば、信号伝播経路にインバータを3つ続けて配置する場合には、1段目のインバータよりも2段目のインバータの駆動能力を大きくし、更に、2段目のインバータよりも3段目のインバータの駆動能力を大きくする構成を採用していた。また、バッファの場合には、直列に接続された2のインバータのうち、前段のインバータの駆動能力よりも、後段のインバータの駆動能力を大きくし設定し、式(1)における m を、 $m>1$ としていた。

【0011】

配線中に挿入するバッファにおいて、後段のインバータの駆動能力よりも前段のインバータの駆動能力が大きい場合には、バッファの入力容量が大きくなり、そのバッファの前段に配置された論理ゲートの出力信号の遅延時間が長くなる。

また、バッファへの入力信号波形の勾配が減少し、バッファ自体の遅延時間も長くなる。前段のインバータのトランジスタの電流増幅作用を考慮した場合には、後段には前段のトランジスタよりも駆動能力の大きなトランジスタを配設した方が、全体の遅延時間を短縮することができる。このため、後段のインバータの駆動能力を、前段のインバータの駆動能力よりも大きくする方が遅延時間を短縮できると考えられていた。

【0012】

例えば、上記した式(1)で、遅延時間 t_{d-bf} を最小にする m の条件を求めてみる。まず、式(1)を偏微分して0とおくと、

【数2】

$$(-d) \cdot R_{int} \cdot l_{int} \cdot C_{in0} \cdot h_{bf-out} / m^{-2} - b \cdot b_r \cdot R_{out0} \cdot C_{ds0} \cdot N_{bf} / m^{-2} + b \cdot R_{out0} \cdot C_{ds0} \cdot N_{bf} = 0$$

となり、これを m^2 について解くと、

【数3】

$$m^2 = b_r + (d \cdot R_{int} \cdot l_{int} \cdot C_{in0} \cdot h_{bf-out}) / (b \cdot R_{out0} \cdot C_{ds0} \cdot N_{bf})$$

となる。ここで、

$$m > 0、$$

$$b_r \geq 1、$$

【数4】

$$(d \cdot R_{int} \cdot l_{int} \cdot C_{in0} \cdot h_{bf-out}) / (b \cdot R_{out0} \cdot C_{ds0} \cdot N_{bf}) > 0$$

であるから、

【数5】

$$m = \{b_r + (d \cdot R_{int} \cdot l_{int} \cdot C_{in0} \cdot h_{bf-out}) / (b \cdot R_{out0} \cdot C_{ds0} \cdot N_{bf})\}^{1/2} > 1$$

となる。つまり、上記公報に記載の技術では、遅延時間 t_{d-bf} を最小にする m の条件は、 $m > 1$ となる。

【0013】

【発明が解決しようとする課題】

しかし、本発明者は、回路シミュレーションの結果、式(1)で $m > 1$ としたバッファ(リピータ)を配線中に挿入した場合にも、隣接する2つのリピータ間の配線負荷(配線容量)が大きい場合には、配線の遅延時間が最小化されないことを発見した。これは、配線負荷が大きい場合には、1つ前の段のバッファから見た、次の段のバッファの入力側のインバータの入力容量が、配線容量に対して無視できる値となるためであると考えられる。

【0014】

本発明は、信号伝達経路が長く、配線容量が大きい信号配線中にリピータを挿入し、信号配線の遅延時間が短縮できる半導体装置を提供することを目的とする。

【0015】**【課題を解決するための手段】**

上記目的を達成するために、本発明の半導体装置は、信号を伝達する信号配線中に挿入されるリピータを有する半導体装置において、前記リピータは、信号伝達方向に順次に接続される、入力信号の反転信号を出力する第1の論理回路及び第2の論理回路で構成され、前記第1の論理回路の電流駆動能力が、前記第2の論理回路の電流駆動能力より大きいことを特徴とする。

【0016】

本発明の半導体装置では、順次に接続される第1及び第2の論理回路から構成されるリピータについて、第1の論理回路の電流駆動能力を、第2の論理回路の電流駆動能力よりも大きく設定する。第1及び第2の論理回路は、それぞれ入力信号を反転して出力する回路として構成され、例えばCMOSインバータや、入力が共通接続されたNAND回路として構成される。

従来のリピータでは、前段のインバータの電流駆動能力を、後段のインバータの電流駆動能力よりも小さく設定し、リピータの入力側の容量を小さくすることで信号遅延時間を短縮していた。しかし、リピータ入力側の信号配線長が長い場合など、その信号配線の容量成分が大きい場合には、配線容量による信号遅延時間が支配的となり、リピータの入力側の容量が大きく設定されることによる信号

遅延時間の増加は、あまり問題とならない。このため、第1の論理回路の電流駆動能力を、従来のリピータよりも大きく設定する、つまり、第2の論理回路の電流駆動能力よりも大きく設定することで、第2の論理回路に入力する信号波形の勾配を大きくすることができ、信号配線における信号の遅延時間をより効果的に短縮できる。

【0017】

本発明の半導体装置は、信号を伝達する信号配線中に挿入されるリピータを複数有する半導体装置において、前記リピータは、信号伝達方向に対して順次に挿入される、入力信号の反転信号を出力する第1の論理回路及び第2の論理回路で構成され、前記第1の論理回路の電流駆動能力が、前記第2の論理回路の電流駆動能力より大きいことを特徴とする。

【0018】

本発明の半導体装置では、順次に接続される第1及び第2の論理回路から構成されるリピータについて、第1の論理回路の電流駆動能力を、第2の論理回路の電流駆動能力よりも大きく設定し、そのリピータを信号配線中に複数挿入する。第1及び第2の論理回路は、それぞれ入力信号を反転して出力する回路として構成され、例えばCMOSインバータや、入力が共通接続されたNAND回路として構成される。第1の論理回路の電流駆動能力を、第2の論理回路の電流駆動能力よりも大きく設定することで、第2の論理回路に入力する信号波形の勾配を大きくすることができ、信号配線における信号の遅延時間を、より効果的に短縮できる。

【0019】

本発明の半導体装置では、隣接する2つのリピータ間を接続する配線の配線長が、1つのリピータを構成する第1及び第2の論理回路間の配線長よりも長いことが好ましい。この場合、第1及び第2の論理回路は、実質的にバッファを構成する。

【0020】

本発明の半導体装置では、前記リピータの出力端子が、分岐した信号配線を介して、当該リピータの後段に配置される複数のリピータの入力端子に接続される

構成を採用することができる。この場合、第2の論理回路の出力には、後段に配置される複数のリピータの第1の論理回路の入力が接続される。

【0021】

本発明の半導体装置では、前記信号配線を、クロック信号配線として構成することができる。この場合、例えばクロック信号配線が分岐配線として構成されているときには、クロック信号配線は、半導体装置の各部にクロック信号を分岐して供給することができる。

【0022】

【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図1は、本発明の一実施形態例のリピータとして使用されるバッファを示すもので、(a)はその回路構成を示し、(b)はインバータの電流駆動能力の関係を模式的に示している。バッファ(リピータ)10は、同図(a)に示すように、縦続接続された2つインバータ11及び12から構成される。各インバータは、CMOSトランジスタによって構成される。同図(b)では、インバータの電流駆動能力の大小関係を強調するために、電流駆動能力が大きいインバータの記号を、電流駆動能力が小さいインバータの記号よりも大きく描いている。本実施形態例では、前段のインバータ11の電流駆動能力は、後段のインバータ12の電流駆動能力よりも大きく設定されている。

【0023】

図2は、遅延時間を測定するシミュレーション回路の構成を示している。シミュレーション回路はドライバ20、NAND回路21、及び、インバータ22、23を備える。ドライバ20-NAND回路21間の配線は、例えばLSIにおけるブロック間配線に相当し、その配線RCは、例えば π 型分布定数回路として構成される。シミュレーション回路では、ドライバ20に信号を入力してから、その信号がNAND回路21から出力されるまでに要する時間(遅延時間)が測定される。

【0024】

ここで、ノードa(ドライバ20の入力)において信号がLレベルとHレベル

の中間の値に立ち上がる時刻から、ノード b (NAND回路 21 の出力) において信号が L レベルと H レベルの中間の値に立ち上がる時刻までの時間差を、立ち上がりの遅延時間とする。また、ノード a において信号が L レベルと H レベルの中間の値に立ち下がる時刻から、ノード b において信号が L レベルと H レベルの中間の値に立ち下がる時刻までの時間差を、立ち下がりの遅延時間とする。遅延時間は、立ち上がりの遅延時間と、立ち下がりの遅延時間との平均で定義する。

【0025】

ドライバ 20 は、入力信号と同相の信号を出力し、NAND回路 21 までの配線を駆動する。2つのインバータ 22、23 は、NAND回路 21 の負荷を構成し、NAND回路 21 に対して互いに並列に接続される。ドライバ 20 から NAND回路 21 までの配線中には、この配線を等間隔で分割するようにリピータ 10 を挿入し、ドライバ 20 が駆動する配線の配線長を短くする。リピータ 10 が挿入された配線の全体の遅延時間は、配線長の 2 乗に比例して大きくなる各配線部分による遅延時間の和と、挿入段数に比例して大きくなる、リピータ 10 自身が有する遅延時間との合計になる。回路シミュレータでは、信号の遅延時間が所望の値以下となるようリピータ挿入条件を得るために、リピータ 10 の挿入段数やリピータ 10 の電流駆動能力特性を種々に変更したシミュレーションが行われる。

【0026】

図 3 は、図 2 に示す回路シミュレータで測定された、リピータの挿入間隔と遅延時間との関係をグラフとして示している。回路シミュレータでは、 $0.13\mu\text{m}$ 世代テクノロジーの半導体装置において、ドライバ 20 の出力から NAND回路 21 の入力までの配線長が 10mm の配線を回路モデルとして設定し、その配線中に等間隔で挿入するリピータの段数、及び、前段のインバータの電流駆動能力と後段のインバータの電流駆動能力との比（以下、単に能力比とも呼ぶ）をそれぞれ変化させて、遅延時間をシミュレートした。なお、インバータの電流駆動能力を変化させる際には、後段のインバータの電流駆動能力を一定にし、前段のインバータを構成するトランジスタのゲート長を変えずにゲート幅を変化させて、前段のインバータの電流駆動能力を変化させた。

【0027】

図3に示す、グラフ(a)～(d)はそれぞれ、能力比が2、能力比が1.5、能力比が1、及び、能力比が0.5のときの遅延時間をグラフとして示している。なお、同図における横軸(下)はリピータの挿入間隔を示しており、横軸(上)はリピータの挿入段数を示している。総配線長が10mmに設定されているため、例えば、リピータ挿入段数「2」は、リピータ挿入間隔「3.3mm」に対応し、リピータ挿入間隔「2mm」は、リピータ挿入段数「4」に対応する。また、縦軸は、グラフ(a)におけるリピータの挿入間隔が2.5mmのときの遅延時間を1として正規化された遅延時間を示している。

【0028】

図3に示すように、(a)から(d)の各グラフでは、リピータ10の挿入段数が「1」から「2」に増えると、言い換えると、リピータの挿入間隔が「5mm」から「3.3mm」に減少すると、信号の配線遅延時間が短縮される。これは、リピータの挿入段数を増やすことで、ドライバ20やリピータ10が駆動する配線の配線長が短くなるためである。前述のように、全体の遅延時間は各配線部分による遅延時間の和とリピータ自身が有する遅延時間との合計で表されるが、リピータの挿入段数が少ないときには、挿入段数を増やしたことによるリピータ自身が有する遅延時間の増加分よりも、配線長を短くしたことによる配線の遅延時間の減少分が大きくなり、全体の遅延時間が短縮できる。

【0029】

図3の例では、各グラフにおいて、リピータの挿入段数を「4」から「5」、「6」へと増やしていくと、遅延時間が増加していく。これは、リピータ10の挿入間隔を狭くすることによって減少する各配線部分の遅延時間の和の減少分よりも、挿入段数に比例して増えるリピータ自身の遅延時間の増加分の方が大きくなるためである。このように、リピータの挿入段数が多すぎる場合にも、少なすぎる場合にも、遅延時間は最適化されない。同図の例では、何れのグラフにおいても、リピータの挿入段数が「3」程度に設定されたときに、言い換えると、リピータの挿入間隔が「2.5mm」程度に設定されたときに、遅延時間が最適化されている。

【0030】

各リピータ10の前段及び後段のインバータ11、12の電流駆動能力の比と遅延時間との関係については、図3に示すように、能力比が(a)から(d)へと小さくなるに従って、遅延時間が短くなっている。一般的な半導体装置では、能力比が2程度のリピータが使用されるが、本実施形態例では、能力比を1よりも小さく設定し、後段のインバータの電流駆動能力よりも前段のインバータの電流駆動能力を大きく設定する。これによって、全体の遅延時間を更に短縮することができる。

【0031】

一般に、配線長が短く、配線抵抗及び配線容量の値が小さいときには、リピータ10の前段のインバータ11の電流駆動能力を大きく設定すると、インバータ11のゲートの入力容量が大きくなり、1つ前の段のリピータ10からみた出力側の容量が大きくなって、前の段のリピータ10で生じる遅延時間が増加する。また、前の段のリピータ10の遅延時間の増加に加えて、自身の入力信号波形の勾配が減少して、そのリピータ10自体の遅延時間も増加する。従来の半導体装置では、このような理由により、後段のインバータ12の電流駆動能力を、前段のインバータ11の電流駆動能力よりも大きくする構成が採られていた。

【0032】

システムLSIなどの半導体集積回路を構成する回路ブロック間を接続する信号配線には、配線長が長いために、配線容量が大きな信号配線が存在する。図1に示すリピータ10は、このような信号配線中に挿入する際に適用される。この場合、隣接する2つのリピータ間の配線容量が大きいため、前の段のリピータ10からみた出力側の容量は、その次の段のリピータ10のゲートの入力容量よりも、リピータ10間の配線容量の方が十分に大きくなる。このため、前の段のリピータ10で生じる、その次の段のリピータ10のゲートの入力容量が大きく設定されていることによる遅延時間の増加は、十分に小さく抑えられる。

【0033】

一般に、配線容量とリピータの入力容量とによって信号波形の勾配が減少すると、リピータを構成する各インバータでの遅延時間は増大する。信号配線中にリ

ピータを複数挿入した場合について考えると、リピータの前段のインバータの入力容量に比して、そのリピータの前の段のリピータとの間の配線容量が十分に大きい場合には、配線容量による信号波形の勾配の減少が支配的となって、そのリピータに入力される信号波形の勾配は、前段のインバータ 11 の電流駆動能力にそれほど依存しない。このとき、前段のインバータが出力する信号波形の勾配は、その電流駆動能力に依存して増減する。従って、前段のインバータの電流駆動能力を大きく設定した分だけ、後段のインバータに入力する信号波形の勾配が大きくなって、後段のインバータにおける信号遅延時間が減少する。このため、本発明のリピータでは、後段のインバータの電流駆動能力を一定としたときに、前段のインバータの電流駆動能力が後段のインバータの電流駆動能力よりも小さく設定される従来のリピータよりも、信号配線における信号伝達時間を短縮することができる。

【0034】

なお、上記実施形態例では、リピータ 10 の信号の入力側と出力側とが 1 対 1 に対応する例について示したが、リピータ 10 の出力側は、2 以上にファンアウト（分岐）していてもよい。図 4 は、本発明が適用される分岐を伴う配線、例えばクロックツリーを示している。一般に、クロック信号は、1 つのクロック源からツリー状の分岐配線によって LSI 中の各ブロックに供給される。この配線中にリピータを挿入することで、クロック信号の遅延時間を短縮する。その際、配線中に挿入される各リピータの能力比を 1 よりも小さく設定することで、上記実施形態例と同様に遅延時間が更に短縮される。

【0035】

信号配線中に、個別に配設される 2 つのインバータが直列に接続されている場合には、これを 1 つのリピータ 10 とみなすことができる。図 5 は、交互に配設される電流駆動能力の大きなインバータ 31、及び、電流駆動能力の小さなインバータ 32 によって信号の遅延時間を短縮する様子を示している。この例では、インバータ 32 は、その前の段のインバータ 31 と配線長 l_1 の配線で接続されており、次の段のインバータ 31 と配線長 l_2 の配線で接続されている。

【0036】

図5において、前の段のインバータ31からみた出力側の容量が、ほぼインバータ32のゲート入力容量と等しいとき、つまり、配線長 l_1 の配線の等価容量が無視できるほどに十分小さいとき、或いは、配線長が $l_2 > l_1$ 関係を満たすときには、配線中に交互に挿入された図5に示すようなインバータ31、32が、図1に示すリピータ10と同様に機能するとみなすことができる。このように、インバータ31の電流駆動能力をインバータ32の電流駆動能力よりも大きく設定することで、上記実施形態例と同様に配線を伝達する信号の遅延時間を短縮することができる。

【0037】

本実施形態例で使用するリピータ10は、図1(a)に示す等価回路で構成されたものに限定されず、反転信号を出力する回路を2つ直列に接続した他の回路で構成することもできる。図6は、リピータ10の別の構成例を示している。同図に示すように、前段のインバータ11及び後段のインバータ12は、それぞれ、入力が共通に接続された2入力のNAND回路によって構成することもできる。ここで、例えばセルベース設計において、NAND回路ブロックを図5に示す各インバータ31、32として使用するのに適している場合には、各インバータ31、32を、図6に示すインバータ11、12と同様なNAND回路で構成することもできる。

【0038】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体装置は、上記実施形態例にのみ限定されるものでなく、上記実施形態例の構成から種々の修正及び変更を施した半導体装置も、本発明の範囲に含まれる。例えば、バッファをリピータとして挿入する信号配線は、回路ブロック間を接続する信号配線に限定されず、配線容量値が大きい他の信号配線であっても良い。

【0039】

【発明の効果】

以上説明したように、本発明の半導体装置では、配線長が比較的長く、配線抵抗及び配線容量が大きな信号配線中に、第1の論理回路の電流駆動能力を第2の論理回路の電流駆動能力よりも大きく設定したリピータを挿入することにより、

前段に配置されたインバータの電流駆動能力を高く設定することに起因する信号遅延時間の増加に比して、第2の論理回路に入力する信号波形の勾配が大きくなることに起因する遅延時間の短縮が大きくなるため、半導体装置の高速化が可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施形態例のバッファの構成であって、(a)はバッファの回路構成図、(b)はバッファを構成するインバータの電流駆動能力の関係を模式的に示したブロック図。

【図2】

配線遅延時間を測定するシミュレーション回路の等価回路図。

【図3】

バッファの電流駆動能力の比、及び、バッファの挿入段数と、信号遅延時間との関係を示すグラフ。

【図4】

本発明が適用されるクロックツリー配線を示すブロック図。

【図5】

本発明が適用される信号配線の一例を示すブロック図。

【図6】

リピータ10の別の構成を示すブロック図。

【図7】

信号配線長と、遅延時間の関係を示すグラフ。

【符号の説明】

10：バッファ

11：前段のインバータ

12：後段のインバータ

20：ドライバ

21：NAND回路

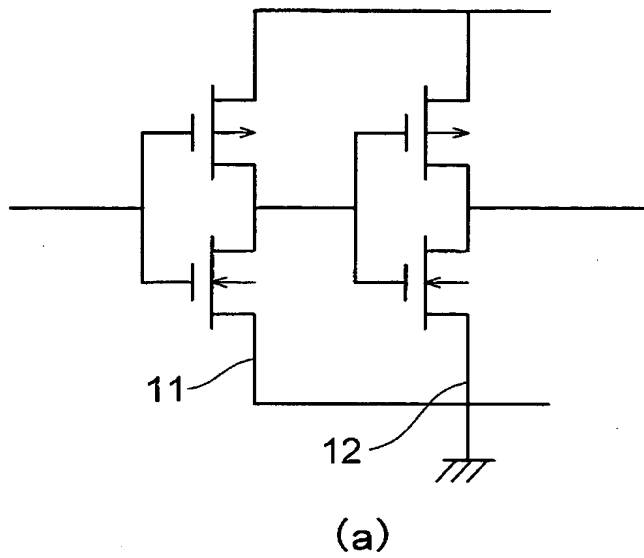
22、23：インバータ回路

3 1、3 2：インバータ

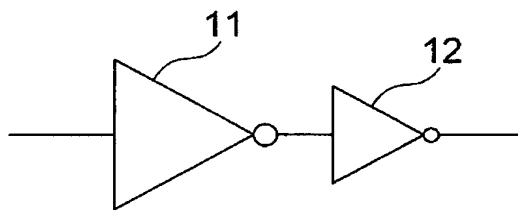
【書類名】 図面

【図 1】

10



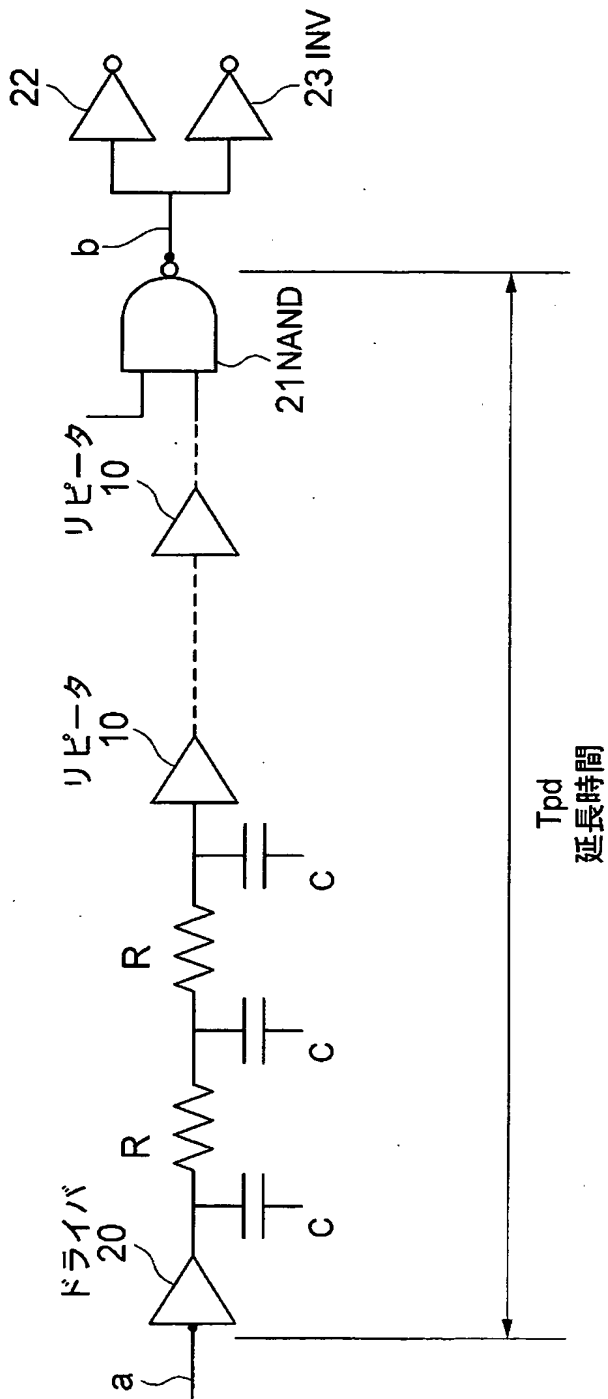
10



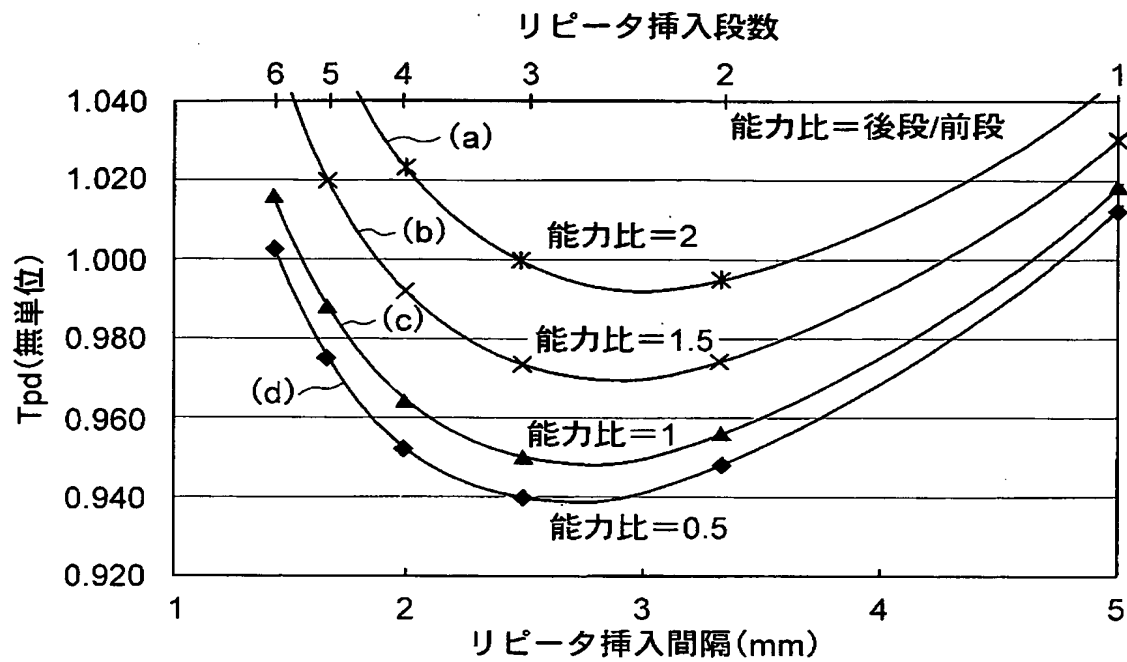
前段の電流駆動能力>後段の電流駆動能力

(b)

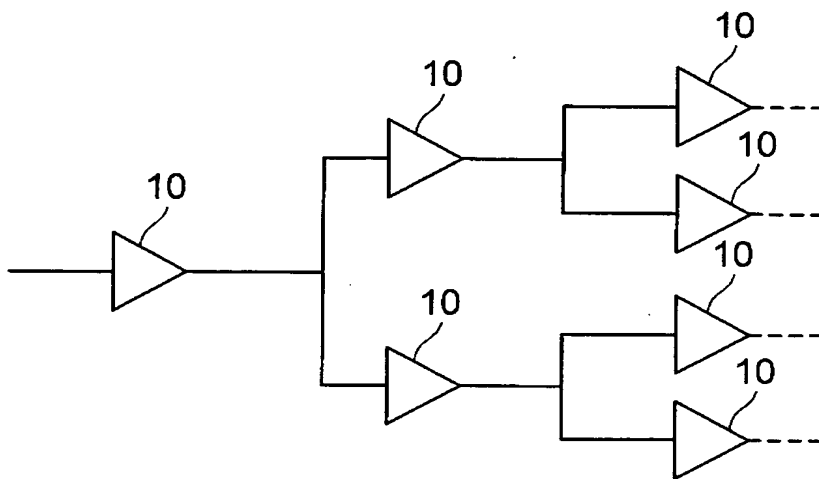
【図 2】



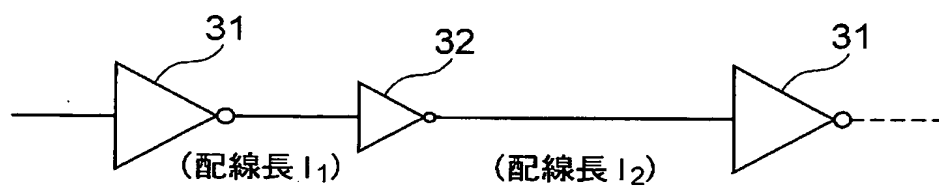
【図 3】



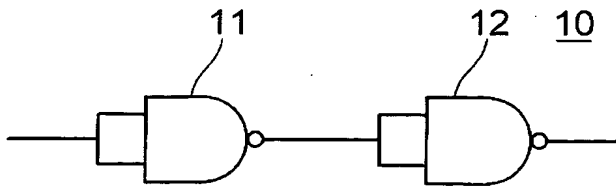
【図 4】



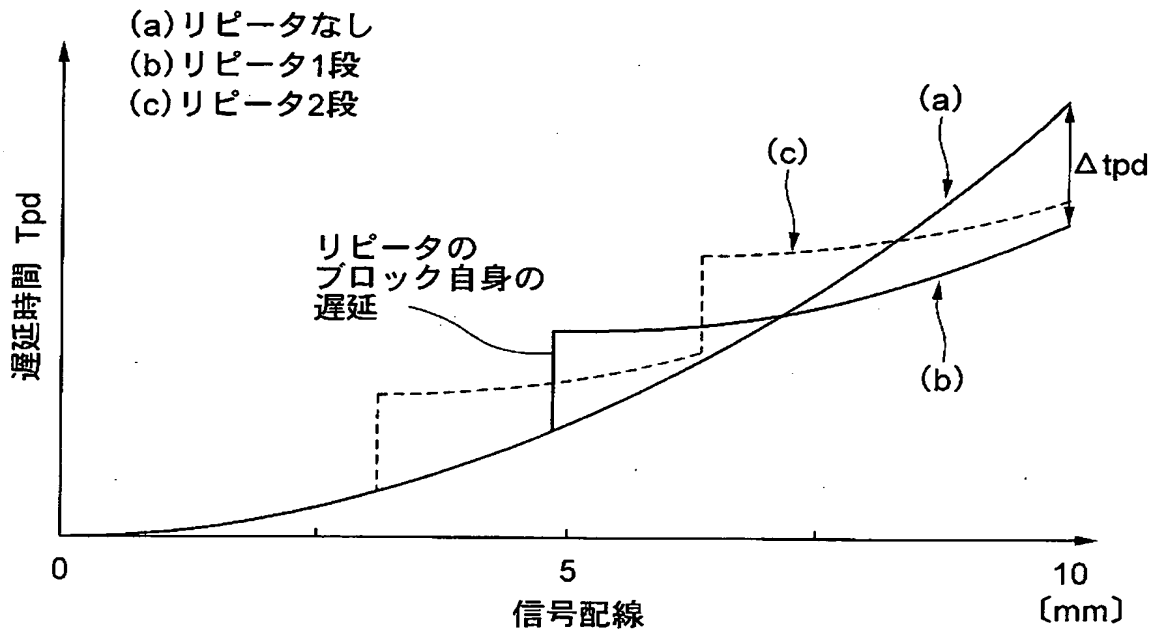
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 信号配線における信号遅延時間を短縮する半導体装置を提供する。

【解決手段】 半導体装置の信号配線中に、インバータを 2 つ直列に接続したバッファ 1 0 を、リピータとして挿入する。バッファ 1 0 では、前段のインバータ 1 1 の電流駆動能力が、後段のインバータ 1 2 の電流駆動能力よりも大きく設定される。

【選択図】 図 1

【書類名】 出願人名義変更届

【提出日】 平成14年11月19日

【あて先】 特許庁長官殿

【事件の表示】

 【出願番号】 特願2002-322546

【承継人】

 【識別番号】 302062931

 【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

 【識別番号】 100096231

 【弁理士】

 【氏名又は名称】 稲垣 清

【手数料の表示】

 【予納台帳番号】 029388

 【納付金額】 4,200円

【提出物件の目録】

 【物件名】 承継人であることを証する書面 1

 【援用の表示】 平成14年11月19日提出の特願2002-3225
60の出願人名義変更届に添付のものを援用する。

 【物件名】 委任状 1

 【援用の表示】 平成14年11月14日提出の包括委任状を援用する。

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2002-322546
受付番号	50201743673
書類名	出願人名義変更届
担当官	田丸 三喜男 9079
作成日	平成15年 1月22日

<認定情報・付加情報>

【承継人】

【識別番号】 302062931

【住所又は居所】 神奈川県川崎市中原区下沼部1753番地

【氏名又は名称】 NECエレクトロニクス株式会社

【承継人代理人】 申請人

【識別番号】 100096231

【住所又は居所】 東京都千代田区神田東松下町37番地 林道ビル
5階 扶桑特許事務所

【氏名又は名称】 稲垣 清

次頁無

特願 2 0 0 2 - 3 2 2 5 4 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 9 日
新規登録

住 所
氏 名

東京都港区芝五丁目 7 番 1 号
日本電気株式会社

特願 2 0 0 2 - 3 2 2 5 4 6

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日
[変更理由]

2 0 0 2 年 1 1 月 1 日
新規登録

住 所
氏 名

神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社